自适应 Notch 滤波器的 FPGA 实现

严 鹏[1], 杨 振[2], 许伟杰[1]
(1. 中国科学院声学研究所东海研究站, 上海 200032; 2. 解放军某部, 湛江 524022)

摘要: 针对水下目标跟踪定位系统中信号的特点,采用自适应 Notch 滤波器对接收信号进行检测,使系统在低信噪比的情况下仍能保证较高的正确检测率。提出了用 FPGA 实现 Notch 滤波器的硬件电路方案,用 DDS 技术解决了 Notch 滤波器的正交参考源的输入问题,简化了系统的设计,提高了稳定性,同时保持了较高的检测正确率。

关键词: 自适应滤波; Notch 滤波器; 最小均方误差; 直接数字频率合成器; 现场可编程门阵列
中图分类号: TB556 **文献标识码**: A **文章编号**: 1000-3630(2008)-02-0275-04

Implementation of FPGA-based adaptive notch filter

YAN Peng[1], YANG Zhen[2], XU Wei-jie[1]
(1. Shanghai Acoustic Laboratory, Institute of Acoustics, Chinese Academy of Sciences, Shanghai 200032, China)

Abstract: According to the signal characteristics of underwater target tracking and positioning system, the Adaptive Notch Filter which is used to detect receiving signal, can guarantee high correct rate of detection in low SNR. Using FPGA instead of DSP to implement hardware Notch filter is proposed, and DDS technology is used to solve the problem of the orthogonal reference source input for the Notch Filter. This method can not only simplify the system design and improve the stability, but also maintain high correct rate of detection.

Key words: adaptive filter; notch filter; LMS(Least Mean Square); DDS(Direct Digital frequency Synthesizer); FPGA(Field Programmable Gate Array)

1 引 言

随着微电子技术的迅速发展,FPGA 的性能不断提高、功耗不断减小,在越来越多的场合取代了 DSP,为数字滤波器的硬件实现开辟了更广阔的领域。水下目标跟踪定位系统对信号处理的实时性、体积功耗有严格的要求, 传统的设计大都是采用 DSP+FPGA 的模式,DSP 进行数字信号处理,其他的控制功能由 FPGA 来实现,而本设计在一块 FPGA 芯片上实现数字信号处理和系统的控制功能,简化外围电路,降低系统的复杂性,提高可靠性并降低功耗。本文介绍一种在水声信号检测中利用 FPGA 实现自适应 Notch 滤波技术的方法。

收稿日期: 2007-10-12; 修回日期: 2008-01-11
作者简介: 严鹏(1981-),男,硕士研究生,研究方向为信号与信息处理。
通讯作者: 严鹏, E-mail:hiller.yan@163.com

2 自适应 Notch 滤波器

自适应滤波器利用前一时刻获得的滤波器参数等结果,自动调节现时刻的滤波器参数,以适应信号和噪声未知的或随时间变化的统计特性, 从而实现最优滤波。由 Widrow 和 Hoff 提出的最小均方误差(LMS)算法,因其具有计算量小、易于实现等优点而在实践中被广泛采用。

具有一对正交权的自适应陷波滤波器(adaptive notch filter)的结构示于图 1。设一对正交的参考信号分别为 $x_c(t)=\cos(\omega_0 t)$ 和 $x_s(t)=\sin(\omega_0 t)$,输入过程 $x(t)$ 为:

$$x(t)=s(t)+n(t) \tag{1}$$

其中 $n(t)$ 为噪声; $s(t)$ 为窄带过程,其载频 $f(t)$ 在 Notch 滤波器的通带内。其离散形式表示为:

$$s(k)=A\cos[\omega(k)k+\phi_0]=A\cos[\omega_0 k+\phi(k)]$$

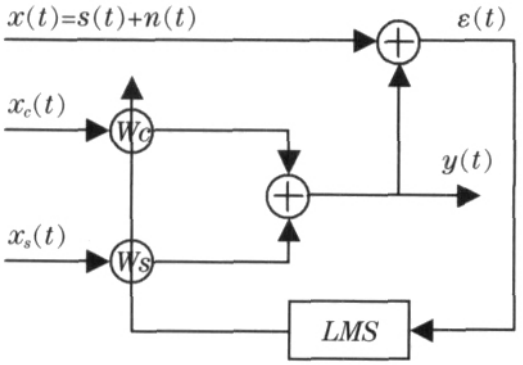


图 1 具有一对正交权的自适应陷波滤波器的结构

Fig.1 Configuration of the adaptive notch filter having one pair of orthogonal weights

$$=A\cos\omega_0 k\cos\phi(k)-A\sin\omega_0 k\sin\phi(k) \quad (2)$$

其中

$$\phi(k)=[\omega(k)-\omega_0]k+\phi_0 \quad (3)$$

根据自适应滤波器的原理，LMS 算法迭代公式为：

$$W_s(k+1)=W_s(k)+\mu\varepsilon(k)\cdot\sin\omega_0 k \quad (4)$$

$$W_c(k+1)=W_c(k)+\mu\varepsilon(k)\cdot\cos\omega_0 k \quad (5)$$

$$\varepsilon(k)=x(k)-y(k) \quad (6)$$

$$y(k)=W_s(k)\cdot\sin\omega_0 k+W_c(k)\cdot\cos\omega_0 k \quad (7)$$

其中，$x(k)$ 表示 k 时刻的输入信号矢量；$y(k)$ 为自适应滤波器的输出信号；$\varepsilon(k)$ 表示 k 时刻的误差；$W_s(k)$ 和 $W_c(k)$ 表示 k 时刻的自适应滤波器的权值；μ 是控制稳定性和收敛速度的参量，称为步长。LMS 算法收敛的条件为：$0<\mu<1/\lambda_{max}$。λ_{max} 是输入信号自相关矩阵的最大特征值。

3 DDS 原理

直接数字频率合成器(Direct Digital frequency Synthesizer)是从相位概念出发直接合成所需波形的一种频率合成技术。对于正弦信号 $f(t)=\sin(2\pi f_0 t)$，沿其相位轴方向，以等量的相位间隔对其进行相位/幅值取样，得到该信号的抽样序列，并将其用 M 位二进制数表示，当频率控制字改变时，相位增量发生变化，抽样值的周期随之而变，从而合成所需的频率。

相位累加器在时钟 f_{clk} 的控制下以步长 K 作累加，输出的 N 位二进制码与相位控制字 P、波形控制字 W 相加后作为波形 ROM 的地址，对波形 ROM 进行寻址，波形 ROM 输出 D 位的幅度码经过 D/A 和低通滤波器平滑之后就可以得到合成的信号波形。合成的信号波形取决于波形 ROM 中存放的幅度码，因此用 DDS 可以产生任意波形。DDS 的结构如图 2 所示。

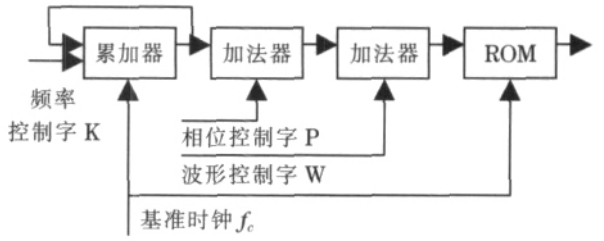


图 2 DDS 结构图

Fig.2 Schematic diagram of Direct Digital Synthesizer

DDS 输出信号的频率与基准时钟频率的关系由下式给定：

$$f_{out}=\frac{f_{clj}}{2^N}k \quad (8)$$

其中 f_{clj} 为基准时钟频率，2^N 为波形存储器的字数，N 为相位累加器的位数，k 为频率控制字。

DDS 的最大输出频率由 Nyquist 采样定理决定，即 $f_c/2$，也就是说 k 的最大值为 2^N-1。因此，只要 N 足够大，DDS 可以得到很细的频率间隔。通过设定相位累加器位数、频率控制字和基准时钟的值，就可以产生任意频率的输出。

DDS 的频率分辨率由下式给出：

$$R_f=\frac{f_{clj}}{2^N} \quad (9)$$

4 自适应 Notch 滤波器的 FPGA 实现

FPGA(现场可编程门阵列)设计周期短，研发费用低，调试方便，功能定制灵活，是大规模数字逻辑设计的发展趋势，也经常作为 ASIC 设计中的验证原型机。

由公式(4)和(5)可以看出，在计算权系数的过程中需要产生一对正交的参考信号 $x_c(t)=\cos(\omega_0 t)$ 和 $x_s(t)=\sin(\omega_0 t)$。可以通过 DDS 技术来生成，在两块 ROM 中分别存储正弦和余弦的的波形，用同一个累加器进行控制查表输出，就解决了参考信号输入的问题，使设计大大简化。

Notch 的结构决定了权系数只需要两个，乘法器在 FPGA 里面实现需要消耗较多的资源。如果在权系数较多的情况下还用乘法器会使资源情况非常紧张，需要用 Distributed Arithmetic(DA)算法来进行卷积计算。本设计的权系数的迭代过程为：

$$\phi(k)=\mu\cdot\varepsilon(k) \quad (10)$$

$$\varphi_s(k)=\phi(k)\cdot\sin(\omega_0 k) \quad (11)$$

$$\varphi_c(k)=\phi(k)\cdot\cos(\omega_0 k) \quad (12)$$

$$W_s(k+1)=W_s(k)+\varphi_s(k) \tag{13}$$

$$W_c(k+1)=W_s(k)+\varphi_s(k) \tag{14}$$

每一个系数的更迭需要两次乘法和一次加法，本设计中采用的是定步长算法，即 μ 是已经确定好的常数，在两个权系数的迭代过程中用到了相同的 $\mu\varepsilon(n)$，所以完成一次的数据计算需要 5 个乘法器。在这种情况下，采用 FPGA 里面自带的高速硬件乘法器进行运算，不但可以保证系统的最高频率，用成熟的 Intelligence Property (IP) Core 也降低了设计的难度。按照如图 3 所示的模块结构进行 FPGA 设计，实现了 Notch 滤波器的信号处理。

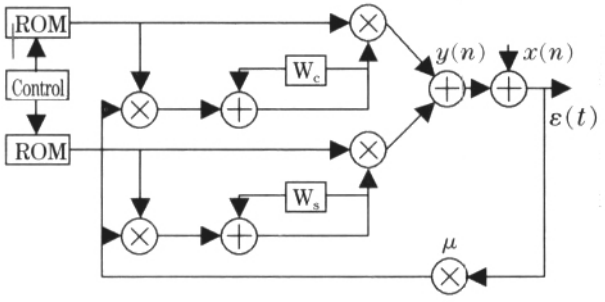


图 3　FPGA 设计的模块图

Fig.3　Module map of FPGA design

5　仿　真

仿真模型针对单路 CW 信号，在 Matlab 上模拟输入，CW 的脉宽为 10ms，填充信号频率为 15kHz，信号的采样率为 100kHz，CW 信号见图 4。

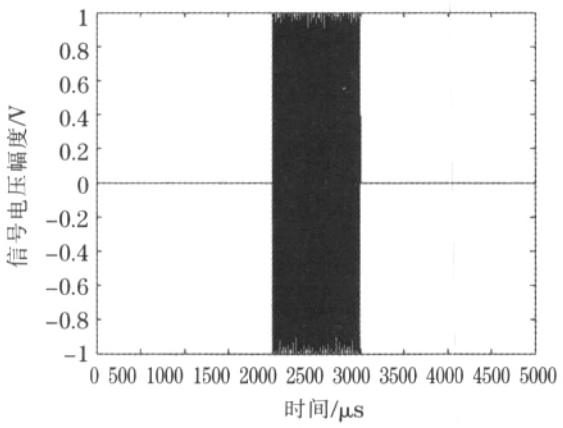


图 4　CW 信号输入

Fig.4　CW input signal

模拟在低信噪比的检测情况下的输入信号，在 CW 信号中混入高斯白噪声，当信噪比为 0dB 时，从图 5 上观察时域信号几乎已经被淹没在噪声中。

Notch 滤波器的设计用 VHDL 语言编写并在 Quartus 上进行编译综合，根据上面建立的仿真模型编写 TestBench，然后在 ModelSim 上进行后仿真，仿真的结果导出来再用 Matlab 进行分析，从图 6 可以看出经过 Notch 滤波器之后噪声信号得到了明显的抑制，CW 信号在时域上也可以清晰的分辨出来。

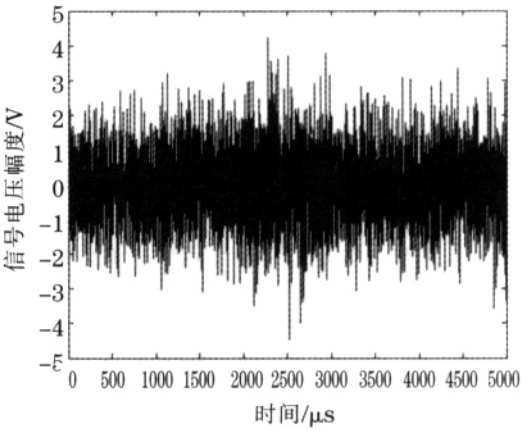


图 5　模拟信号输入

Fig.5　Simulation input signal

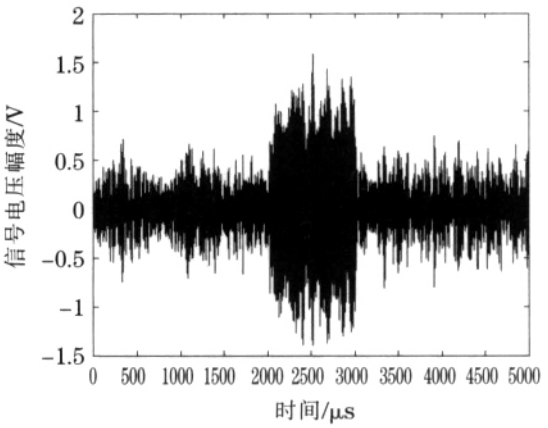


图 6　通过 Notch 滤波器的信号时域图

Fig.6　The time-domain map of the signal through Notch filter

从频域上对上面的计算结果进行分析，图 7 是输出结果的频谱分析，可以看出 Notch 滤波器的效果很明显：

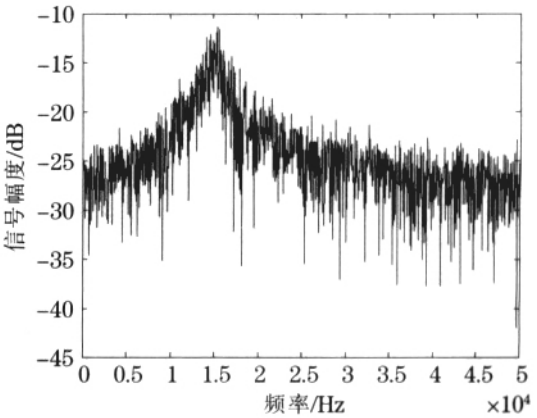


图 7　通过的 Notch 滤波器的信号的频谱图

Fig.7　The spectrum of the signal through Notch filter

为了检验系统的可靠性，在信噪比为 0dB 的输入情况下，改变 CW 的频率，进行多次计算，对其判断结果进行统计分析如表 1 所示：

表 1 不同频率信号输入的检测结果统计

Table 1 Statistic of test results for different frequency input signals

频率/kHz	信号	检测	检测率/%	虚警	虚警率/%
13.5	200	195	97.5	0	0
17.2	200	196	98	2	1
20	200	196	98	0	0
22	200	196	98	4	2
25	200	197	98.5	1	0.5
合计	1000	980	98	7	0.7

从上面的统计数据可以看出，在低信噪比的情况下仍能保持较高的检测率和较低的虚警率。该设计的核心器件是一块 FPGA 芯片，外围电路大大简化，在多次的测试中硬件中未出现任何异常，满足了系统的要求。

6 结束语

本文用 FPGA 实现了 Notch 滤波器，简化了电路的设计，减少了系统的体积，提高了可靠性。通过计算权信号的相位函数，可以计算信号瞬时频率序列，对接收信号的频率进行判断。采用 Notch 滤波器的设计可以在低信噪比的复杂海洋环境中设置较低的门限而不致产生严重虚警，对 CW 信号有较好的检测性能，该系统已经过湖上和海上试验验证，成功地应用于水下目标跟踪定位系统中。

参 考 文 献

[1] 梁国龙. 回波信号瞬时参数序列分析及其应用研究[D]. 哈尔滨工程大学, 1997.
LIANG Guolong. Instantaneous parameters sequence of echo signal analysis and application[D]. Erbin Engineering University. 1997.

[2] Simon Haykin. 自适应滤波器原理, 第四版[M]. 电子工业出版社, 2003.
Simon Haykin. Adaptive filter theory, Fourth edition[M]. Publishing House of Electronics Industry, 2003.

[3] Uwe Meyer-Baese. 数字信号处理的 FPGA 实现, 第二版[M]. 清华大学出版社, 2006.
Uwe Meyer-Baese. Digital signal processing with field programmable gate arrays, Second edition[M]. Tsinghua University Press.

[4] Sunderland D, Strauch R. COMS/SOS frequency synthesizer LSI circuit for spread spectrum communications[J]. IEEE J Solid State Circuits. 1984, (SC-19): 497-505.

欢迎订阅 欢迎投稿