

基于 FPGA 的多通道 CIC 滤波器设计

陈建军

(中国人民解放军 91439 部队, 辽宁旅顺 116041)

摘要: 数字信号处理中运用 CIC 滤波器进行采样率转换非常普遍。考虑到实际应用, 传统的 CIC 滤波器存在一些不足。采用多级级联方法降低了对硬件运算速度的要求, 有利于实时处理; 采用余弦滤波器改善了阻带衰减不足; 内插二阶多项式滤波器补偿了 CIC 滤波器通带内的衰减; 抗混叠低通滤波器减小了混叠影响。通过仿真实验验证了 FPGA 硬件平台的可行性。

关键词: FPGA; 梳状滤波器; 多级级联; 内插二阶多项式

中图分类号: TB556

文献标识码: A

文章编号: 1000-3630(2012)-06-0624-04

DOI 编码: 10.3969/j.issn1000-3630.2012.06.019

The design of multi-channel CIC filter based on FPGA technology

CHEN Jian-jun

(Unit 91439, PLA, Lishun 116041, Liaoning, China)

Abstract: It is known that CIC filter has been commonly used for sampling rate transforming in digital signal processing, and that some defects of traditional CIC filter exist in practical applications. However, the multi-level cascade connection of CIC filters can decrease the requirement of hardware for real-time processing; the Cosine filter improves the deficit of stop-band attenuation; the Interpolated Second-Order Polynomial filter compensates the attenuation of CIC filter in pass-band and the Anti-alias Low Pass filter reduces the influence of aliasing. The feasibility of FPGA hardware platform is verified by simulation.

Key words: CIC (Cascaded-Integrator-Comb) filter; Multi-level cascade; Interpolated Second-Order Polynomial

0 前言

运用 CIC 滤波器(Cascaded-Integrator-Comb)在数字信号处理中进行多采样率转换非常普遍。CIC 滤波器是 FIR 滤波器的一种, 具有良好的低通滤波特性, 它包括内插滤波器和抽取滤波器, 内插滤波器能够提高数据速率, 抽取滤波器能够降低数据速率^[1]。

1 CIC 滤波器原理

CIC 滤波器包括两个基本部分: 积分部分和梳状部分^[2]。积分部分由单极点 IIR 滤波器组成, 梳状器是对称的 FIR 滤波器, 如图 1 所示。

CIC 滤波器的时域表达式为

$$y(n) = \sum_{i=0}^{D-1} x(n-i) \quad (1)$$

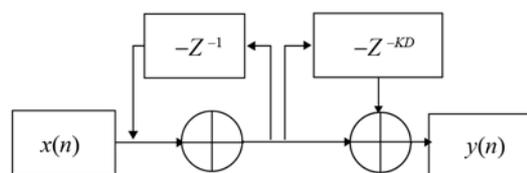


图 1 CIC 滤波器原理图
Fig.1 Schematic of CIC Filter

其中 D 是梳状部分的延迟。

通过 Z 变换得到传递函数 $H(z)$ 。

$$H(z) = \frac{y(z)}{x(z)} = \frac{1-z^{-KD}}{1-z^{-1}} \quad (2)$$

式中, k 为变频因子。

频率响应为

$$H(z)_{z=e^{j\omega}} = \frac{1-e^{-j\omega KD}}{1-e^{-j\omega}} = \frac{\sin(\omega KD/2)}{\sin(\omega/2)} e^{-j\omega(KD-1)/2} \quad (3)$$

从式(3)可以看出, 在 $\omega=2\pi l/2KD, l=1, 2, \dots, N-1$ 处存在多个幅值为零的阻带。

图 2 是 CIC 滤波器的幅频曲线。由图 2 可见, 随着频率的增加, 幅值不断减小。

考虑到实际应用, 传统的 CIC 滤波器存在一些不足。

收稿日期: 2012-05-08; 修回日期: 2012-09-10

作者简介: 陈建军(1969—), 男, 广西南宁人, 工程师, 研究方向为水中兵器试验。

通讯作者: 陈建军, E-mail: tomchang_1999@yahoo.com.cn

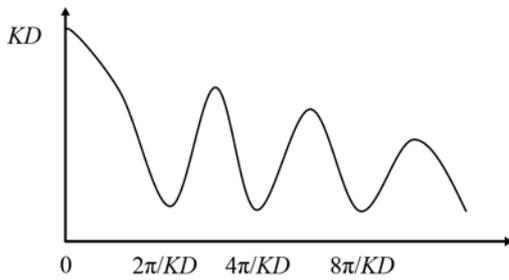


图 2 CIC 滤波器的幅频曲线
Fig.2 Amplitude-frequency curve of CIC filter

例如，在高采样率的 A/D 转换中，积分器在抽取之前，这就要求硬件的运算速度快，不利于实时处理。

在低速率 A/D 转换中，CIC 抽取滤波器会在信号带宽内叠加高频部分噪声，出现混叠现象。

由 CIC 滤波器的幅频特性图可以看出，幅频曲线过于光滑，通带衰减过大，而阻带抑制又不够。

为了克服 CIC 的上述缺点，可对 CIC 滤波器的结构进行优化。

2 CIC 滤波器结构优化

2.1 多级级联

以抽取滤波器为例，若抽取倍数为 m ，可将其划分为 N 次抽取，即进行 N 级级联：

$$m = m_1 m_2 m_3 \dots m_N$$

传递函数为

$$H(z) = \frac{(1-z^{-m_1})(1-z^{-m_2}) \dots (1-z^{-m_N})}{(1-z^{-1})^N} \quad (4)$$

功率谱为

$$P^*(f) = \frac{\sin^2(\pi m_1 f) \sin^2(\pi m_2 f) \dots \sin^2(\pi m_N f)}{\sin^{2N}(\pi f)} \quad (5)$$

梳状延迟序列为 $m_1, m_2, m_3 \dots m_N$ ，CIC 滤波器的功率谱零点在规格化的频率 $f = \frac{1}{m_1}, \frac{1}{m_2}, \dots, \frac{1}{m_N}$ 的整数倍处。

调节延迟序列为 $m_1, m_2, m_3 \dots m_N$ 的取值范围，可以减小混叠，得到较好的旁瓣抑制。

假设前端采样率为 f_s ，则三级滤波器采样率分别是 $f_s, f_s/m_1$ 和 $f_s/m_1 m_2$ 。这种方法降低了对硬件运算速度的要求，有利于实时处理。

CIC 滤波器多级级联的结构如图 3。

2.2 余弦滤波器

为了改善 CIC 滤波器通带衰减过大和阻带抑制不够的缺点，引入余弦滤波器^[3]。

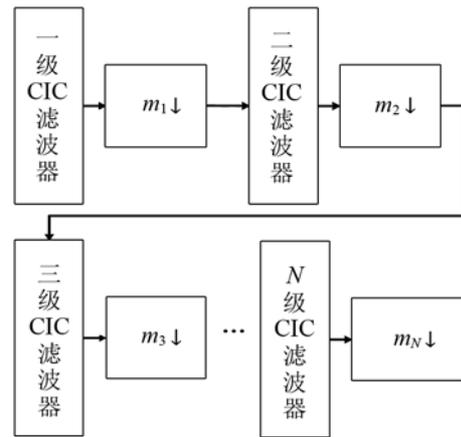


图 3 CIC 滤波器多级级联流程图
Fig.3 Schematic of multilevel cascade connection of CIC filters

余弦滤波器的传输函数为

$$H(Z^p) = 0.125(1+Z^{-2p})(1+Z^{-p})^2 \quad (6)$$

余弦滤波器的抽取因子为 2^p ， p 为整数。

频率响应为

$$|H(e^{j2\pi fp})| = \frac{1}{2} |\cos \cos(2\pi fp) + \cos^2 \cos^2(2\pi fp)| \quad (7)$$

余弦滤波器的通带宽度与 P 值成反比，当第一个零点和 CIC 滤波器的零点重合时，可以有效改善阻带衰减不足、通带衰减过大的问题。

余弦滤波器化为级联形式，则 N 级级联传输函数为：

$$H_N(Z^p) = \prod_{i=1}^n H(Z^{p^i}) \quad (8)$$

CIC 滤波器的变频因子 k 与 P^i 的关系为

$$P^i = \frac{P}{2^{k-1}}$$

如果 CIC 滤波器的变频因子固定，将 CIC 滤波器和余弦滤波器级联，整体性能会有更好的改善。

2.3 内插二阶多项式滤波器

内插二阶多项式滤波器的传递函数如式(9)：

$$H(Z) = \frac{1+cZ^{-1}+Z^{-2}}{|c+2|} \quad (9)$$

幅频特性为

$$|H(e^{j\omega})| = \frac{c+2 \cos(I\omega)}{|c+2|} \quad (10)$$

式中， I 为内插因子。

可以看出，当 $c < -2$ 时，二阶多项式滤波器的幅频特性在 $[0, \pi/I]$ 内呈单调递增。设计递增宽度与 CIC 滤波器的输入带宽一致，就可以补偿 CIC 滤波器通带内的衰减。

2.4 抗混叠低通滤波器

在低速率 A/D 转换中，CIC 抽取滤波器会在信

号带宽内叠加高频部分噪声。抗混叠低通滤波器存在一定宽度的过渡带，能有效地减小混叠影响。

3 多通道 CIC 滤波器硬件实现

现代数字信号处理中，对多通道并行处理的需求逐渐增多。FPGA 器件具有并行运算功能，能有效地解决这一需求。

这里的多通道 CIC 滤波器是通过 Altera 公司的 Ep3c25 实现。系统设计使用 DSP Builder 结合 Matlab 的方法，DSP Builder 构建 FPGA 硬件配置，Matlab 计算滤波器参数^[4]。

硬件配置包括 NCO 解频器、前端级联 CIC 滤波器和后端滤波器，如图 4 所示。

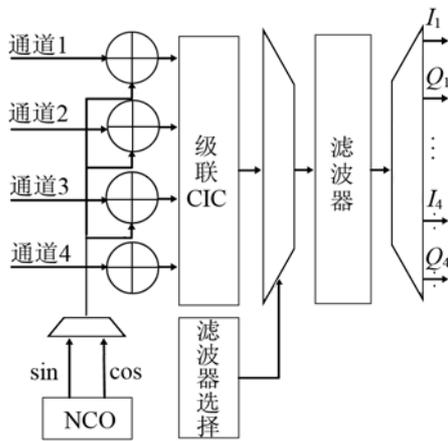


图 4 多通道 CIC 滤波器图
Fig.4 Schematic of multi-channel CIC filter

图 4 中 NCO 解频器将 A/D 采集信号分解为实部分量和虚部分量，输入到前端级联 CIC 滤波器。

前端级联 CIC 滤波器固化延迟序列参数为 $m_1、m_2、m_3 \dots m_N$ ，根据通道数并行计算^[5]。

后端滤波器包含余弦滤波器、内插二阶多项式滤波器和抗混叠低通滤波器，由上位机通过串口选择实际使用的滤波器。

3.1 多通道结构

以四通道为例，A/D 采集信号由 NCO 解频，得到的实部分量和虚部分量并行通过级联 CIC 滤波器进行采样率转换。

这里设置了滤波器选择器，根据实际需要，选择余弦滤波器、内插二阶多项式滤波器或抗混叠低通滤波器以优化幅频曲线。

3.2 溢出问题

在数字电路设计中，必须解决溢出问题。多通道 CIC 滤波器是由不稳定级联构成的，如果不采取

措施，就会产生溢出问题，溢出的主要原因是寄存器的宽度设置不合理。

所有的微分和积分阶段都需要采样精度扩展，根据系统频响可以得到 n 级级联增益。以下采样为例，增益为 $(DK)^N$ ，每级级联的精度，也就是寄存器宽度为

$$BIT_{out} = N \log_2 \log_2 DK + BIT_{in} \tag{11}$$

3.3 后端滤波器优化

与前端级联 CIC 滤波器不同，后端滤波器会大量消耗 FPGA 的查找表资源。随着精度要求的提高，数字滤波器的阶数也会增加。

以四阶 FIR 滤波器为例，4 阶 FIR 滤波器需要占用 2^4 个查找表(LUT)资源，而 32 阶 FIR 滤波器则需要占用 2^{32} 个查找表(LUT)资源，硬件资源耗费很严重。

所以必须对后端滤波器进行优化，也以四阶 FIR 滤波器为例。

如图 5 所示，优化后的 4 阶 FIR 滤波器只占用 4 个查找表(LUT)资源，32 阶 FIR 滤波器则占用 32 个查找表(LUT)资源。相比传统滤波器，优化的后端滤波器进一步节约了查找表(LUT)资源。

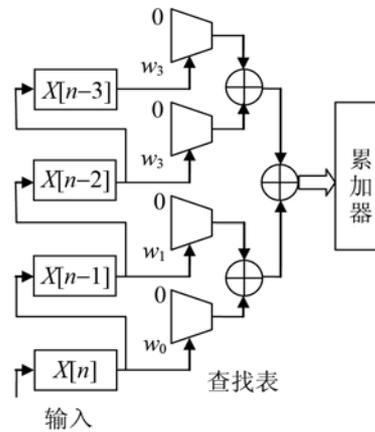


图 5 高效的分布式 4 阶 FIR 滤波器
Fig.5 Efficient DA architecture of 4-tap FIR filter

4 仿真结果

使用 Matlab 仿真 16 倍抽取 CIC 滤波器，二级级联与五级级联幅频特性如图 6 所示。

为改善 CIC 模块阻带抑制的不足，设计了余弦滤波器，当 CIC 滤波器的零点与余弦滤波器零点对齐时，滤波效果最佳。

由图 7 可见，五级 CIC 模块级联余弦滤波器的阻带抑制有了很大改善，但也造成了通带的衰减。为补偿通带衰减，可以级联二阶多项式滤波

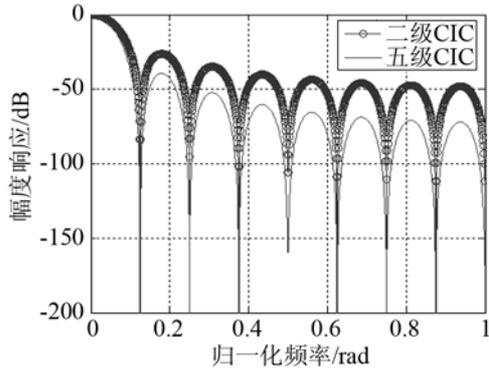


图 6 级联 CIC 滤波器幅频响应
Fig.6 Amplitude-frequency response of cascade CIC filter

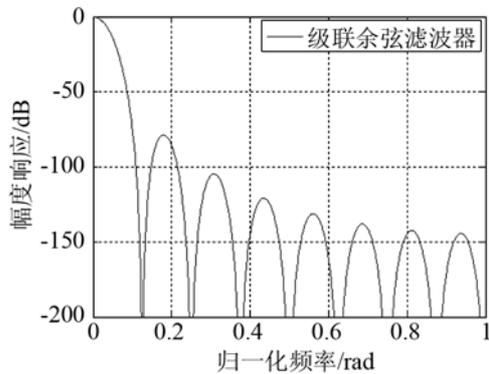


图 7 级联余弦滤波器幅频响应
Fig.7 Amplitude-frequency response of cascade Cosine filter

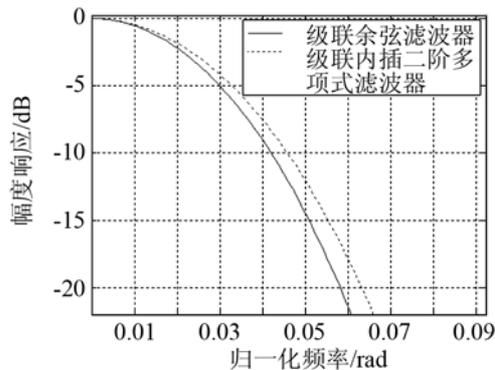


图 8 级联二阶多项式滤波器幅频响应
Fig.8 Amplitude-frequency response of cascade Second-Order Polynomial filter

器，但这同时减小了阻带的衰减，所以要根据实际需要选择补偿滤波器。级联二阶多项式滤波器响应曲线见图 8。

硬件实验平台采用了 ALTERA 公司 EP3C40F780C6 芯片，用来编译 16 倍抽取 CIC 滤波器和级联余弦滤波器。软件平台由 Quartus 与 Simulink 组成。

Simulink 产生的 50 kHz 的正弦信号，叠加 2

MHz 的噪声作为测试输入信号，如图 9 所示。

触发信号每隔 16 个时钟抽取一次，输出信号如图 10 所示。

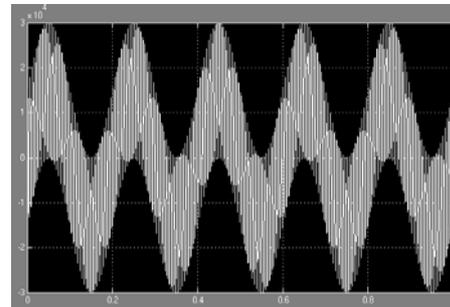


图 9 测试滤波器的输入信号
Fig.9 Input signal for filter testing

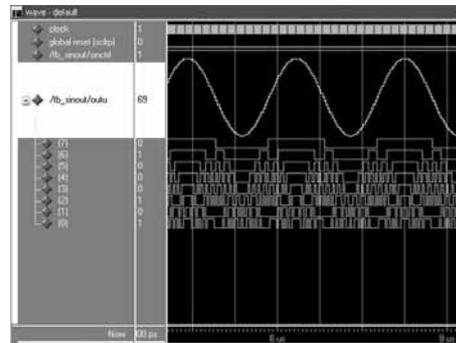


图 10 滤波器输出信号
Fig.10 Output signal of the filter

抽取后输出的波形频率变化不大，高频噪声被有效去除。FPGA 硬件资源共耗费了 78% 的逻辑单元、54% 的乘法单元和 80% 的存储单元。可见硬件平台设计可以满足实际要求。

参 考 文 献

- [1] 杨小牛. 软件无线电原理与应用[M]. 北京: 电子工业出版社, 2001, 21-53.
YANG Xiaoniu. The theory and application of Software-defined Radio[M]. Beijing: Electronic Industry Press, 2001, 21-53.
- [2] Hogenauer E. An economical class of digital filters for decimation and interpolation[J]. IEEE Transactions on Acoustics, Speech and Signal Processing, 1981, 29(2): 155-162.
- [3] 叶和忠, 赵利, 彭小卫, 等. 一种性能良好的高效 CIC 抽取滤波器的设计[J]. 桂林电子科技大学, 2010, 30(2): 113-117.
YE Hezhong, ZHAO Li, PENG Xiaowei, et al. The design of an efficient CIC decimator filter[J]. Journal of Guilin University of Electronic Technology, 2010, 30(2): 113-117.
- [4] DSP Builder User Guide[Z]. Altera. Inc, 2009.
- [5] 贾雪琴. 数字下变频的 FPGA 实现[J]. 仪表技术与传感器, 2006, (1): 56-58.
JIA Xueqin. Realization of digital down conversion by FPGA[J]. Instrument Technique and Sensor, 2006, 22(1): 56-58.